

Verification of Translation

US Patent Application No.: 09/700,940

Title of the Invention: LSI LAYOUT METHOD

I, Yuka Moriyama, whose full post office address is IKEUCHI·SATO & PARTNER PATENT ATTORNEYS, OAP Tower 26F, 8-30 Tenmabashi, 1-chome, Kita-ku, Osaka-shi, OSAKA 530-6026, Japan am the translator of the documents attached and I state that the following is true translations to the best of my knowledge and belief of a part of JP 7(1995)-130951 A.

At Osaka, Japan

DATED 10 /6/2002 (Day/Month/Year)

Signature of the translator

Yuka Moriyama
Yuka MORIYAMA

Partial Translation of
JP 7(1995)-130951 A

Publication Date : May 19, 1995
5 Application No. : 5(1993)-272035
Filing Date : October 29, 1993
Inventor: Koji Urata
Teruo Kobayashi
Applicant : TOSHIBA CORP
10 Title of the Invention : SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE

Translation of Page 2, Paragraphs [0008] through [0011]
[0008]

15 [Embodiments] Fig. 1 is a plan view showing a semiconductor integrated
circuit device according to Embodiment 1 of the present invention. The
semiconductor integrated circuit device in this embodiment is formed by
using a gate array included in the master slice type integrated circuit, in
which a capacitor for noise filter is formed by using transistors that are not
20 used as a circuit component, nor as a wiring region. One gate pattern that
is used neither as a circuit component nor as a wiring region as described
above is illustrated in Fig. 1. In Fig. 1, on a silicone substrate, an N well 3
and a P well 4 are formed. In this N well 3, a P⁺ diffused layer region 5
functioning as a source/drain region of a P channel transistor and an N⁺
25 diffused layer region 6 for applying a substrate potential thereto are formed,
and on the N well 3 a gate electrode 8 is formed via a gate insulating film
(not illustrated). Whereas, in the P well 4, an N⁺ diffused layer region 9
functioning as a source/drain region of an N channel transistor and a P⁺
diffused layer region 10 for applying a substrate potential thereto are
30 formed, and on the P well 4 a gate electrode 12 is formed via a gate
insulating film.

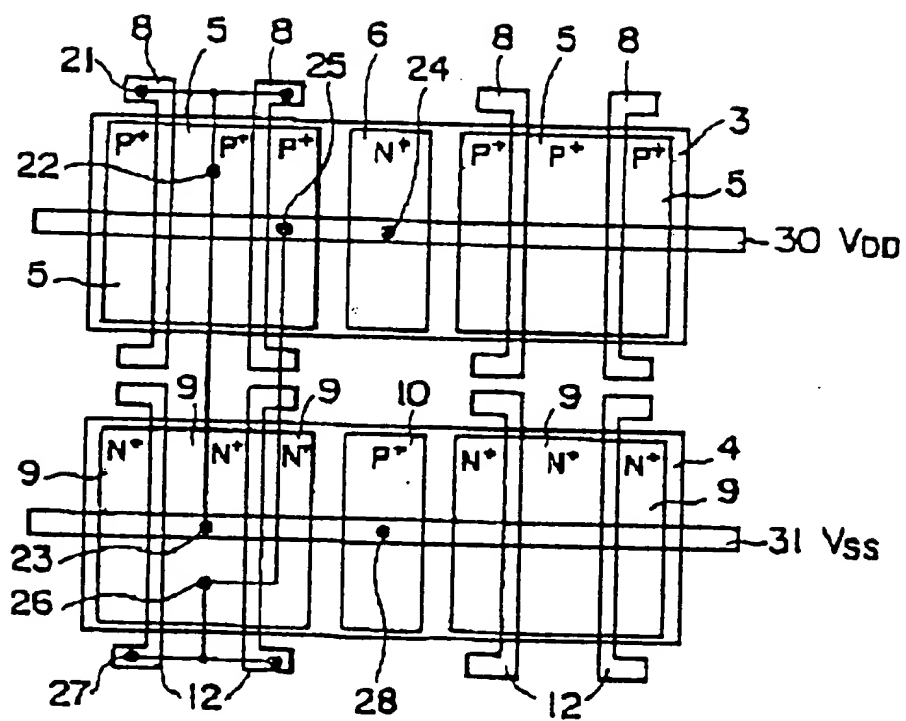
[0009] In order to use these transistors as a capacitor for noise filter, the N⁺
diffused layer region 6 in the P channel transistor is connected to a line 30
leading to a driving power source V_{DD} via a contact 24 with a metal wiring,
35 and the P⁺ diffused layer region 10 in the N channel transistor is connected
to a line 31 leading to a grounded power source V_{SS} with a metal wiring.

Then, the gate electrode 8 on the P channel transistor and the P⁺ diffused layer region 5 as a source/drain region are connected to the line 31 leading to the grounded power source V_{SS} with a metal wiring.

[0010] This metal wiring is connected to the gate electrode 8 via a contact 21,
5 is connected to the P⁺ diffused layer region 5 via a contact 22, and is
connected to the line 31 via a contact 23.

[0011] In addition, the gate electrode 12 on the N channel transistor and the N⁺ diffused layer region 9 as a source/drain region are connected to the line 30 leading to the driving power source V_{DD} with a metal wiring. This metal
10 wiring is connected to the gate electrode 12 via a contact 27, is connected to the N⁺ diffused layer region 9 via a contact 26, and is connected to the line 30 via a contact 25.

[FIG. 1]





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07130951 A**(43) Date of publication of application: **19.05.95**

(51) Int. Cl.

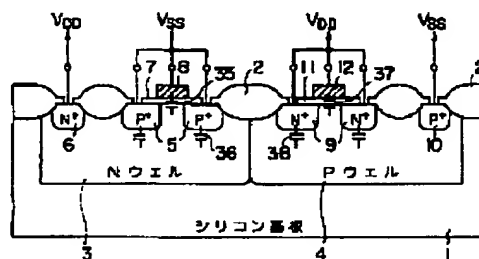
H01L 27/04
H01L 21/822(21) Application number: **05272035**(22) Date of filing: **29.10.93**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **URATA KOJI**
KOBAYASHI TERUO(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To remove noise without reducing cost by a method wherein, in a region that is not used as a circuit element region and a wire region, a capacitor for a noise filter is formed by using a transistor or a macro-cell.

CONSTITUTION: An N well 3 and a P well 4 are formed on a silicon substrate. A P⁺ diffused layer region 5 being a source/drain region of a P channel transistor within the N well 3 and an N⁺ diffused layer region 6 for applying a substrate electric potential are formed and a gate electrode 8 is formed on the N well 3. On the other hand, an N⁺ diffused layer region 9 being a source/drain region of an N channel transistor and a P⁺ diffused layer region 10 are formed within a P well 4, and a gate electrode 12 is formed on the P well 4 via a gate insulated film. Gate oxide film capacitors 35, 37 are formed directly under the gate electrodes 8, 12, and diffused capacitors 36, 38 are formed on the P⁺ diffused layer region 5 and N⁺ diffused layer region 9.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130951

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁹

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

技術表示箇所

8832-4M

H 0 1 L 27/ 04

C

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号

特願平5-272035

(22) 出願日

平成5年(1993)10月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 浦 田 浩 司

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 小 林 照 雄

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

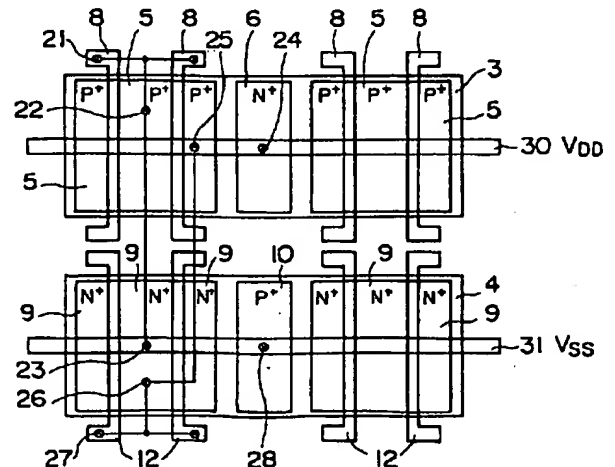
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 コストを増大させることなく、ノイズを除去することを可能にする。

【構成】 回路素子領域および配線領域として使用されない領域に、トランジスタ又はマクロセルを用いて形成されるノイズフィルタ用コンデンサを備えていることを特徴とする。



【特許請求の範囲】

【請求項 1】 回路素子領域および配線領域として使用されない領域に、トランジスタ又はマクロセルを用いて形成されるノイズフィルタ用コンデンサを備えていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はノイズを吸収するためのノイズフィルタ用コンデンサを備えた半導体集積回路装置に関する。

【0002】

【従来の技術】 従来、フルカスタム集積回路においては、集積回路の動作により発生するノイズを吸収するために、回路形成時に回路動作を考慮して必要に応じてチップ内部にノイズフィルタ用コンデンサを形成していた。しかし、セミカスタム用集積回路は、トランジスタやマクロセルを回路素子として自動配置して配線するため、フルカスタム集積回路のように回路動作を考慮してノイズフィルタ用コンデンサを形成することが困難であった。このため、図 4 に示すように、集積回路 72a、72b を実装するプリント基板 70 の駆動電源 VDD 用の電路 74 と接地電源 VSS 用の電路 75 との間にノイズフィルタ用のコンデンサ 77a、77b を設けていた。

【0003】

【発明が解決しようとする課題】 このようにノイズフィルタ用のコンデンサをプリント基板 70 上に接続する場合には、コンデンサ単品が必要な上に、このコンデンサを接続する場所が必要なため、実装面積が大きくなり、コストアップとなるという問題があった。

【0004】 また、集積回路 72a、72b はパッケージに封入されているため、これによるインダクタンス成分が存在し、このインダクタンス成分によるノイズを除去することが難しいという問題があった。

【0005】 本発明は上記事情を考慮してなされたものであって、コストアップすることなしにノイズを除去することが可能な半導体集積回路装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明による半導体集積回路装置は、回路素子領域および配線領域として使用されない領域に、トランジスタ又はマクロセルを用いて形成されるノイズフィルタ用コンデンサを備えていることを特徴とする。

【0007】

【作用】 このように構成された本発明の半導体集積回路装置によれば、回路素子領域および配線領域として使用されない領域に、トランジスタまたはマクロセルを用いてノイズフィルタ用コンデンサが形成されている。これにより、コンデンサは外付けにする必要がなくなり、コストおよびチップ面積を増大させることなく、ノイズを

除去することができる。

【0008】

【実施例】 本発明による半導体集積回路装置の第 1 の実施例の平面図を図 1 に示す。この実施例の半導体集積回路装置は、マスタースライス型の集積回路の中のゲートアレイを用いて形成したものであって、回路素子としても使用されずかつ配線領域としても使用されないトランジスタを用いてノイズフィルタ用コンデンサを形成したものである。このように回路素子として使用させず、配線領域としても使用されない 1 ゲートパターンが図 1 に示されている。図 1 において、シリコン基板上に N ウェル 3 および P ウェル 4 が形成されており、更にこの N ウェル 3 内には P チャネルトランジスタのソース／ドレイン領域となる P⁺ 拡散層領域 5 と、基板電位を印加するための N⁺ 拡散層領域 6 が形成され、N ウェル 3 上にはゲート絶縁膜（図示せず）を介してゲート電極 8 が形成されている。一方、P ウェル 4 内には N チャネルトランジスタのソース／ドレイン領域となる N⁺ 拡散層領域 9 と、基板電位を印加するための P⁺ 拡散層領域 10 が形成され、P ウェル 4 上にはゲート絶縁膜を介してゲート電極 12 が形成されている。

【0009】 そしてこれらのトランジスタをノイズフィルタ用コンデンサとして使用するために、P チャネルトランジスタの N⁺ 拡散層領域 6 を、コンタクト 24 を介して駆動電源 VDD の電路 30 と金属配線を用いて接続し、N チャネルトランジスタの P⁺ 拡散層領域 10 を、接地電源 VSS の電路 31 と金属配線を用いて接続する。そして、P チャネルトランジスタのゲート電極 8、およびソース／ドレインとなる P⁺ 拡散層領域 5、を接地電源 VSS の電路 31 に金属配線を介して接続する。

【0010】 この金属配線はゲート電極 8 とはコンタクト 21 を介して接続され、P⁺ 拡散層領域 5 とはコンタクト 22 を介して接続され、電路 31 とはコンタクト 23 を介して接続されている。

【0011】 又、N チャネルトランジスタのゲート電極 12、およびソース／ドレインとなる N⁺ 拡散層領域 9 を駆動電源 VDD の電路 30 に金属配線を用いて接続する。この金属配線はゲート電極 12 とはコンタクト 27 を介して接続され、N⁺ 拡散層領域 9 とはコンタクト 26 を介して接続され、電路 30 とはコンタクト 25 を介して接続される。

【0012】 上述のような接続を行った場合の P チャネルトランジスタおよび N チャネルトランジスタの断面を図 2 に示す。この図 2 から分かるようにゲート電極 8、12 の直下にはゲート酸化膜容量 35、37 が形成され、P⁺ 拡散層領域 5 および N⁺ 拡散層領域 9 には拡散容量 36 および 38 が各々形成される。なお、図 2 において、符号 2 は素子分離領域であり、符号 7、11 はゲート酸化膜である。

【0013】 以上説明したように本実施例によれば、ゲ

ートアレイ内の回路素子として使用されず配線領域としても使用されないトランジスタを用いてノイズフィルタ用のコンデンサを形成することが可能となるので、チップ面積およびコストを増大させることなく、ノイズを除去することができる。又、ノイズフィルタ用のコンデンサを形成するために金属配線を形成する必要があるが、この金属配線は通常の金属配線工程で形成することが可能となるので、製造工程が増えることはない。

【0014】なお、上述のノイズフィルタ用コンデンサはノイズを発生する回路にできるだけ近い所に形成されることが望ましい。

【0015】次に本発明による半導体集積回路装置の第2実施例の平面図を図3に示す。この実施例の半導体集積回路装置はスタンダードセル型の集積回路を用いて形成され、マクロセルとしてのインバータを構成するトランジスタを、例えば図5に示すマクロセル間のデッドスペース87に形成し、このトランジスタを用いてノイズフィルタ用コンデンサを形成したものである。

【0016】なお、図5において、符号80はチップ、83a~83hはマクロセル又は回路素子、85は配線領域を示している。

【0017】図3に戻って、この実施例の半導体集積回路装置は、シリコン基板上にNウェル43およびPウェル44が形成されている。Nウェル43内にはPチャネルトランジスタのソース/ドレイン領域となるP⁺拡散層領域45a、45bが形成され、Pウェル44内にはNチャネルトランジスタのソース/ドレイン領域となるN⁺拡散層領域49a、49bが形成されており、これらのNウェル43およびPウェル44上にはゲート絶縁膜（図示せず）を介してゲート電極48が形成されている。

【0018】そして、これらのトランジスタを用いてノイズフィルタ用コンデンサを形成するために、Nウェル43を、コンタクト51、55を介して駆動電源V_{DD}の電路65と金属配線を用いて接続し、Pウェル44を、コンタクト56、61を介して接地電源V_{SS}の電路66と金属配線を用いて接続する。そして、Nチャネルトランジスタのソース/ドレインとなるN⁺拡散層領域49a、49bを金属配線を用いて電路65と接続する。このときの金属配線はN⁺拡散層領域49a、49bとはコンタクト53、54を介して接続され、電路65とはコンタクト52を介して接続される。又、Pチャネルトランジスタのソース/ドレインとなるP⁺拡散層45a、45bおよびゲート電極48を、金属配線を用いて電路66と接続する。このときの金属配線はP⁺拡散層領域45a、45bとはコンタクト60、59を介して接続され、電路66とはコンタクト58を介して接続され、ゲート電極48とはコンタクト57を介して接続される。

【0019】このようにして接続が行われると、Nチャネルトランジスタのゲート電極下にはゲート酸化膜容量が形成され、PチャネルトランジスタのP⁺拡散層領域45a、45bおよびNチャネルトランジスタのN⁺拡散層領域49a、49bには拡散容量が形成される。

【0020】この第2の実施例も第1の実施例と同様の効果を有することは言うまでもない。なお、第2の実施例において、ゲート電極48はコンタクト57を介して設置電源V_{SS}用の電路66に接続したが、駆動電源用の電路65に接続しても良い。又、マクロセルとしてはインバータ形成用のマクロセルの代わりに他のマクロセルを用いても良い。

【0021】

【発明の効果】以上述べたように本発明によれば、コスト及びチップ面積を増加させることなくノイズを除去することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す平面図。

【図2】第1の実施例の半導体集積回路装置の断面図。

【図3】本発明の第2の実施例の構成を示す平面図。

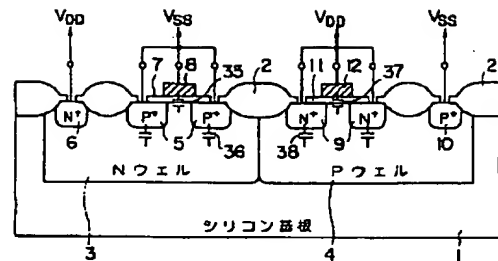
【図4】従来の半導体集積回路装置の構成を示す模式図。

【図5】スタンダードセル型半導体集積回路の例を示す模式図。

【符号の説明】

- 1 シリコン基板
- 2 素子分離領域
- 3 Nウェル
- 4 Pウェル
- 5 P⁺拡散層領域
- 6 N⁺拡散層領域
- 7、11 ゲート絶縁膜
- 8、12 ゲート電極
- 9 N⁺拡散層領域
- 10 P⁺拡散層領域
- 21 コンタクト
- 22 コンタクト
- 23 コンタクト
- 24 コンタクト
- 25 コンタクト
- 26 コンタクト
- 27 コンタクト
- 30 駆動電源用電路
- 31 接地電源用電路
- 35 ゲート酸化膜容量
- 36 拡散容量
- 37 ゲート酸化膜容量
- 38 拡散容量

【圖·2】



【図 3】

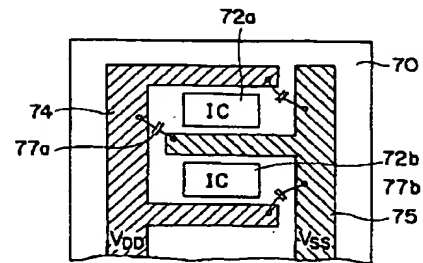


FIG. 1 is a schematic diagram of a semiconductor device. The device includes a RAM block (81) and a peripheral circuit block (80). The peripheral circuit block (80) contains a series of gates (83a-83h) and a bus (85) with input/output lines (83a-83d).

拒絶理由通知書

特許出願の番号 平成11年 特許願 第079927号
起案日 平成14年 4月17日
特許庁審査官 大嶋 洋一 9170 4L00
特許出願人代理人 池内 寛幸 (外 1名) 様
適用条文 第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

<請求項1～4について>

- ・理由 1, 2
- ・引用文献 1, 2
- ・備考

引用文献1の、特に第1, 3図及びその説明箇所を参考のこと。

引用文献2の、特に第1図及びその説明箇所を参考のこと

引 用 文 献 等 一 覧

1. 特開平07-106521号公報
2. 特開平07-130951号公報

先行技術文献調査結果の記録

- ・調査した分野 I P C 第7版

発送番号 124508

発送日 平成14年 4月19日 2 / 2

H01L27/04, H01L21/82

G06F17/50

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ(例：引用文献の番号違い等)、
または技術説明等の面接の御希望がございましたら下記までご連絡下さい。

特許審査第三部 半導体集積回路

審査官 大嶋 洋一

TEL. 03(3581)1101 内線3498

FAX. 03(3501)0673